

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02384136 **Image available**

PLASMA CVD SYSTEM

PUB. NO.: **63-001036** [JP 63001036 A]

PUBLISHED: January 06, 1988 (19880106)

INVENTOR(s): SHIRAIISHI YASUSHI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 61-144110 [JP 86144110]

FILED: June 20, 1986 (19860620)

INTL CLASS: [4] H01L-021/31; C23C-016/50; H01L-021/205

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 12.6 (METALS --
Surface Treatment)

JAPIO KEYWORD:R004 (PLASMA)

JOURNAL: Section: E, Section No. 619, Vol. 12, No. 200, Pg. 66, June
09, 1988 (19880609)

ABSTRACT

PURPOSE: To maintain the uniformity of a growing film by devising the structure of the process gas ejecting holes of the shower electrode plate, thereby supplying gas to the peripheral portion more than to the central portion.

CONSTITUTION: The process gas ejecting holes 12 of a shower electrode plate (anode) 11 decrease from the periphery to the center. The ratio of the number of the holes 12 of the outermost periphery of the electrode plate 11 against the center is made to be on the order of 1.1-1.2. With this arrangement, since the reduction in film thickness due to escape of heat from the periphery of a tray 23 is compensated by increasingly supplying the gas, a CVD film of a uniform thickness is obtained both in wafers and between wafers.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

007410918 **Image available**

WPI Acc No: 1988-044853/198807

XRAM Acc No: C88-019895

XRPX Acc No: N88-033729

Plasma CVD appts. includes wafer holding electrode - and opposite electrode with gas jets, flow rate of gas being gradually greater towards electrode circumference

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 63001036	A	19880106	JP 86144110	A	19860620	198807 B

Priority Applications (No Type Date): JP 86144110 A 19860620

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 63001036	A		4		

Abstract (Basic): JP 63001036 A

A plasma chemical vapour deposition appts. includes a pair of electrodes. The electrode opposite the electrode on which wafers are placed has many process gas jetting holes where the flow rate of the jetted gas is higher successively from the central part of the electrode to the circumference.

2/3

Title Terms: PLASMA; CVD; APPARATUS; WAFER; HOLD; ELECTRODE; OPPOSED; ELECTRODE; GAS; JET; FLOW; RATE; GAS; GRADUAL; GREATER; ELECTRODE; CIRCUMFERENCE

Index Terms/Additional Words: CHEMICAL; VAPOUR; DEPOSIT

Derwent Class: M13; U11

International Patent Class (Additional): C23C-016/50; H01L-021/31

File Segment: CPI; EPI

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-1036

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)1月6日

H 01 L 21/31

6708-5F

C 23 C 16/50

6554-4K

H 01 L 21/205

7739-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 プラズマCVD装置

⑯ 特 願 昭61-144110

⑰ 出 願 昭61(1986)6月20日

⑱ 発 明 者 白石 靖 志 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 菅 野 中

明 細 書

1. 発明の名称

プラズマCVD装置

2. 特許請求の範囲

(1) 一対の対向する電極のうち一方の電極にプロセスガス噴出孔を開口したプラズマCVD装置において、ウェハー載置用電極に相対向する電極に、中央部から周辺に向うに従って噴出ガスの流量を漸増させる構造の複数のプロセスガス噴出孔を有することを特徴とするプラズマCVD装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はプラズマCVD装置、特にウェハーが載置された電極に相対向する電極(以下、シャワー電極と称す)のプロセスガス噴出孔の構造に関する。

(従来の技術)

従来、パッシベーション膜あるいは層間絶縁膜等をプラズマCVD装置により所望のウェハーに形成せしめる場合、そのスループット向上のため、

多数のウェハーを載置したトレイを一括連続処理する方式がなされていた。これを第2図(a)に示す。すなわち、第2図(a)において、まずウェハー29を搭載したトレイ(カソード電極)23は流入側のゲートバルブ26aを開いてガイドローラ25により反応炉30内へ搬送される。トレイ23が停止した後、ゲートバルブ26a、26bを閉じて反応炉30を真空引きし、トレイ23はヒーター24により加熱される。そして、反応炉30内が規定の真空度に達し、トレイ23の温度が安定すると、プロセスガスがプロセスガス導入口27より導入され、第2図(b)に示すようにシャワー電極板(アノード)21に一様に開孔されたプロセスガス噴出孔22を介してそのプロセスガスがトレイ23上の全ウェハー29に一様に供給される。28は排気口である。この状態でシャワー電極板21とトレイ23との間に高周波を印加するとプラズマが発生し、ウェハー29の表面にCVD膜が形成される。

次にトレイ23を入れ替えて同様の処理を行うことにより、連続的にCVD膜を形成することができ

る。

〔発明が解決しようとする問題点〕

上述した従来のプラズマCVD装置により所望のCVD膜を形成せしめる場合、まずトレー23に多数のウェハー29を載置し、反応炉30内へ入れた後、ウェハー29をヒーター24により加熱し、シャワー電極板21よりプロセスガスを供給する。その後、高周波を印加しプラズマを発生させることにより、所望のCVD膜を得ていた。この場合、膜厚分布は温度に大きく依存する。すなわち、トレー23の周辺は中央に比べ放熱が大きく温度が低くなっている。そのため、この状態でトレー全面に一様にプロセスガスが供給されCVD膜の形成が行われると、トレー中央部のウェハーに比べ周辺部のウェハーは膜厚が薄くなったり、さらに同一ウェハーにおいても均一性が損われるという欠点がある。

〔発明の従来技術に対する相違点〕

上述した従来のプラズマCVD装置はシャワー電極板のプロセスガス噴出孔からのプロセスガス供給量が電極面内で一様であるのに対し、本発明は

の比はトレーの温度分布により決定されるが、通常1.1～1.2程度が適当である。

このような構造のプラズマCVD装置により所望のCVD膜を形成することにより、トレー周辺から熱が逃げることによる膜厚の低下を供給ガス量が増されることにより補うことができるため、ウェハー間、ウェハー内ともに均一な膜厚のCVD膜を得ることができる。これを第3図(a),(b),(c)に示す。

すなわち、第3図(a)はトレー(カソード電極)33上のウェハー39の配置の一例である。(b)は従来のシャワー電極板を用いた場合のCVD膜の膜厚分布、(c)は本発明によるシャワー電極板を用いた場合のCVD膜の膜厚分布を示す。図中の丸印はウェハー内の膜厚平均値であり、エラーバーはウェハー内の膜厚ばらつきを示すものである。

本発明によるウェハー間、ウェハー内の膜厚均一性の改善効果は第3図の(b)と(c)との比較より明らかであるが、CVD膜を約5000Å形成した場合、ウェハー間ではバラツキを最大膜厚-最小膜厚/平均膜厚×100(%)で表わすと、約20%から約4%

シャワー電極板のプロセスガス噴出孔の構造の違いにより、電極板中央部よりも周辺部に多くプロセスガスを供給するという独創的内容を有する。

〔問題点を解決するための手段〕

本発明は一對の対向する電極のうち一方の電極にプロセスガス噴出孔を開口したプラズマCVD装置において、ウェハー載置用電極に相対向する電極に、中央部から周辺に向うに従って噴出ガスの流量を漸増させる複数のプロセスガス噴出孔を有することを特徴とするプラズマCVD装置である。

〔実施例〕

次に、本発明の一実施例について図面を参照しつつ詳細に説明する。

(実施例1)

第1図(a)は本発明の実施例1のシャワー電極板の平面図である。図示する如く、シャワー電極板(アノード)11の面内においてプロセスガス噴出孔12, 12…は周辺から中央にかけて数が少なくなるように配置されている。電極板11の最外周の中心に対する単位面積当りのプロセスガス噴出孔12数

への改善効果が認められ、ウェハー内では同様に約24%から約13%への改善効果が認められる。

(実施例2)

第1図(b)は本発明の実施例2のシャワー電極板の平面図である。図示する如く、シャワー電極板11の面内において、各プロセスガス噴出孔12の開孔面積は周辺から中央にかけて小さくなるように設定されている。電極板11の最外周の中心部に対するプロセスガス噴出孔12の開孔面積比はトレーの温度分布により決定されるが、通常1.1～1.2程度が好ましい。このような構造のプラズマCVD装置によりCVD膜を形成することにより、実施例1と同様に均一な膜厚のCVD膜を得ることができる。

〔発明の効果〕

以上説明したように本発明はシャワー電極板のプロセスガス噴出孔の開孔数あるいは開孔径等を表えることによって、電極の周辺部でのプロセスガス供給量を中央部より多くし、CVD膜のウェハー間、ウェハー内での膜厚均一性を著しく改善できる効果がある。また、半導体装置においては、

膜厚の均一性の向上に伴い段部のカバレッジ性も向上し、より安定したパッシベーション膜を得られることによる高信頼性が得られる。また、膜厚の均一性の向上により、エッチング等の後工程もより安定した作業を行うことができるようになり、能力向上を図ることができる等の効果がある。

4. 図面の簡単な説明

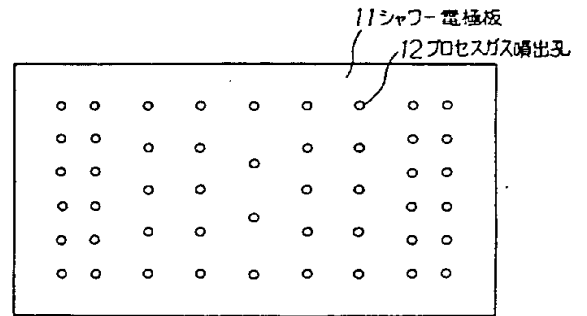
第1図(a)は本発明の実施例1によるシャワー電極板の平面図、第1図(b)は本発明の実施例2によるシャワー電極板の平面図、第2図(a)はプラズマCVD装置の断面図、第2図(b)は従来のシャワー電極板の平面図、第3図(a)はトレー上に搭載するウェハの配置図、第3図(b)は従来装置によるCVD形成膜の膜厚分布図、第3図(c)は本発明によるCVD形成膜の膜厚分布図である。

11…シャワー電極板、12…プロセスガス噴出孔、

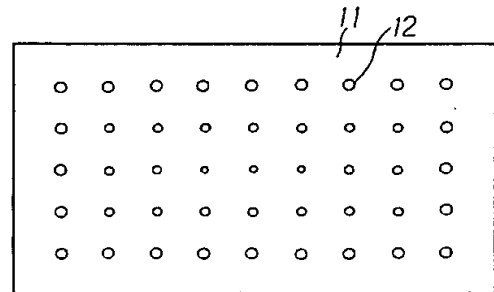
23…トレー、39…ウェハー、30…反応炉

特許出願人 日本電気株式会社

代理人 弁理士 菅野 中

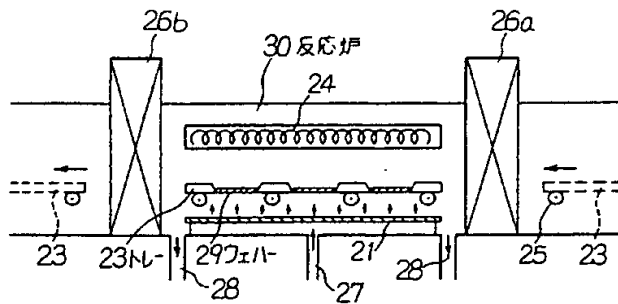


(a)



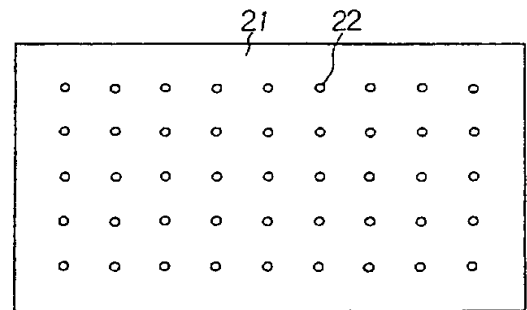
(b)

第1図



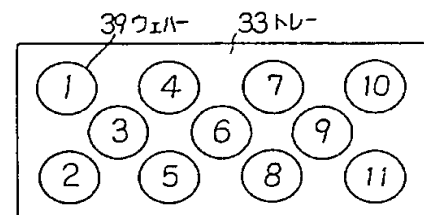
(a)

第2図



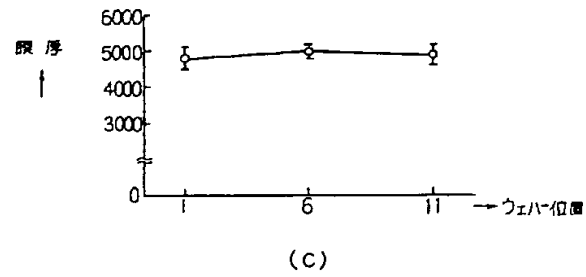
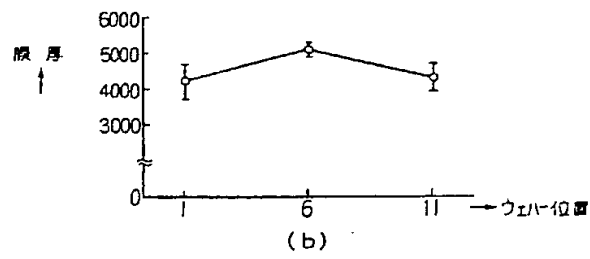
(b)

第2図



(a)

第3図



第3図